

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244263

(43)Date of publication of application : 02.09.1994

(51)Int.Cl. H01L 21/66
G01R 31/26

(21)Application number : 05-313695

(71)Applicant : HUGHES AIRCRAFT CO

(22)Date of filing : 14.12.1993

(72)Inventor : KRUMM CHARLES F

(30)Priority

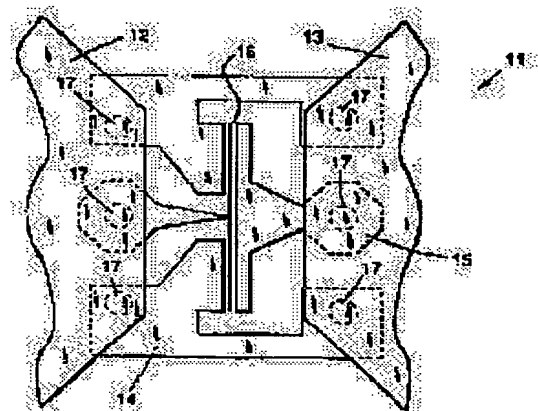
Priority number : 92 993767 Priority date : 14.12.1992 Priority country : US

(54) METHOD AND CIRCUIT FOR TESTING MICROWAVE MONOLITHIC INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To select an wafer having defective RF by measuring the potential performance of each wafer at the initial stage of a manufacturing process.

CONSTITUTION: An integrated circuit wafer is processed by a normal method and a monolithic integrated circuit is formed on the surface of the wafer. After evaporating a gate or a 1st mutual connection metal, the RF performance of a transistor(TR) 11 evaporated on a test position is evaluated. The evaluation is attained by putting probes 12, 13 on the surface of the TR 11 and testing the TR 11 by a conventional method. When the TR 11 executes required operation, the wafer manufacturing process is advanced and an wafer is processed and completed. Thus a satisfactory instruction can be obtained by testing the TR 11 on the wafer by using the previously matched probes 12, 13.



LEGAL STATUS

[Date of request for examination] 16.12.1993

[Date of sending the examiner's decision of rejection] 13.01.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] application converted

[Date of final disposal for application] 09.06.1998

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-244263

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

H 0 1 L 21/66

G 0 1 R 31/26

識別記号

Z 7630-4M

B 9214-2G

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 8 O L (全 7 頁)

(21)出願番号 特願平5-313695

(22)出願日 平成5年(1993)12月14日

(31)優先権主張番号 9 9 3 7 6 7

(32)優先日 1992年12月14日

(33)優先権主張国 米国 (U S)

(71)出願人 390039147

ヒューズ・エアクラフト・カンパニー

HUGHES AIRCRAFT COM
PANY

アメリカ合衆国, カリフォルニア州

90045-0066, ロサンゼルス, ヒューズ・

テラス 7200

(72)発明者 チャールズ・エフ・クラム

アメリカ合衆国カリフォルニア州91362,

サウザンド・オークス, モンテ・カルロ・

ドライブ 3223

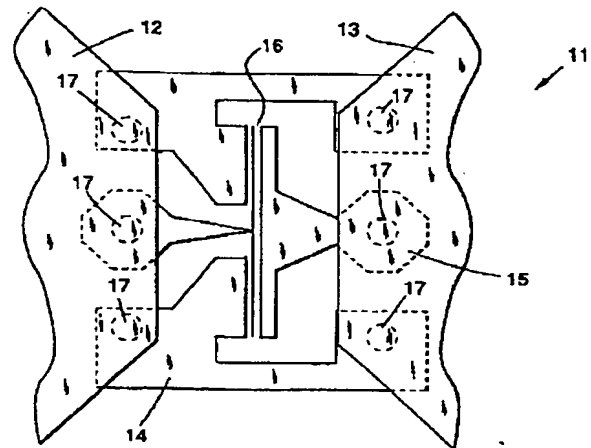
(74)代理人 弁理士 湯浅 基三 (外6名)

(54)【発明の名称】 マイクロ波モノリシック集積回路の試験方法及び回路

(57)【要約】

【目的】 製造工程の初期にウェーハの潜在性能を測定してRF不良のものを選別すること。

【構成】 集積回路ウェーハは通常の方法で処理され、その上にモノリシック集積回路が形成される。ゲートの蒸着又は第1相互接続金属の蒸着の後に、試験位置に蒸着されたトランジスタ11のRF性能が評価される。これは、トランジスタ11の表面上にプローブ12、13を置き、従来の方法でトランジスタ11を試験することにより達成される。トランジスタ11が所望の動作を行えば、ウェーハ製造工程は進行し、ウェーハを処理して完成させる。予め整合の取れたプローブを使ってウェーハ上のトランジスタ11を試験することにより、良好な指示を得ることができる。



【特許請求の範囲】

【請求項1】 複数の試験トランジスタを含む複数のGaAsマイクロ波モノリシック集積回路を、能動層、相互接続層、コンタクト及びゲートが形成され且つ該集積回路と該試験トランジスタとが使用可能なトランジスタを構成するように製造するステップと、前記試験トランジスタについてDC及びRF試験を実施して前記使用可能なトランジスタの動作可能性を決定するステップと、前記試験トランジスタが動作可能であり適切に機能を奏するならば、前記複数のGaAsマイクロ波モノリシック集積回路の製造を完了するステップと、を備えることを特徴とするGaAsマイクロ波モノリシック集積回路の製造試験方法。

【請求項2】 請求項1記載の方法であって、DC及びRF試験を実施する前記ステップが、前記試験トランジスタの面上に相互接続パッドを蒸着してブロープへの共面型のライン遷移部を作り、その上にDC及びRF試験を行うための該ブロープを配置するステップを含むことを特徴とする方法。

【請求項3】 請求項2記載の方法であって、所定の周波数帯域で所望のインピーダンス・レベルを持ち、前記相互接続パッドと結合され、測定装置と前記マイクロ波集積回路との間のインピーダンス変換を行う整合回路を設けるステップを更に含むことを特徴とする方法。

【請求項4】 請求項1記載の方法であって、複数のGaAsマイクロ波モノリシック集積回路を製造する前記ステップが、複数の電界効果トランジスタを製造するステップを含むことを特徴とする方法。

【請求項5】 請求項1記載の方法であって、複数のGaAsマイクロ波モノリシック集積回路を製造する前記ステップが、複数の金属酸化膜電界効果トランジスタを製造するステップを含むことを特徴とする方法。

【請求項6】 請求項1記載の方法であって、複数のGaAsマイクロ波モノリシック集積回路を製造する前記ステップが、複数のバイポーラ・トランジスタを製造するステップを含むことを特徴とする方法。

【請求項7】 請求項1記載の方法であって、複数のGaAsマイクロ波モノリシック集積回路を製造する前記ステップが、複数の2端子マイクロ波デバイスを製造するステップを含むことを特徴とする方法。

【請求項8】 GaAsマイクロ波モノリシック集積回路を試験するための試験ブロープであって、第1及び第2の基板と、それぞれの前記基板上に配置され、前記GaAsマイクロ波モノリシック集積回路のソース、ドレイン及びゲートと接触する大きさと間隔とを有する3つのブロープ接触部と、それぞれ前記第1及び第2の基板上に配置され、中央の前記ブロープ接触部と結合された入出力整合回路と、

最外側の前記ブロープ接触部とそれぞれ結合された第1及び第2の導体と、

を具備し、最外側の前記ブロープ接触部により前記第1及び第2の導体を介してDC/RF測定装置をRF/DC接地接続し、中央の前記ブロープ接触部により前記入出力整合回路を介して前記DC/RF測定装置にDC信号及びRF信号接続を与えることを特徴とする試験ブロープ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロ波モノリシック集積回路に関するもので、特に、製造工程でモノリシック集積回路の潜在性能を決定するマイクロ波モノリシック集積回路の製造試験方法及び試験回路に関する。

【0002】

【従来の技術】現在、GaAsマイクロ波モノリシック集積回路の製造コストは1ウェーハ当たり5000～10000ドルである。しかし、完成した回路の全部が許容可能な性能を生むとは限らない。トランジスタは、その製造工程の30～40%が終了したところに該当する基礎トランジスタ構造が完成すると直ちにRF試験が可能である。現在、RF試験は完成されたウェーハについて行われる。完成されたウェーハの従来の試験方法は、50オーム測定装置に結合されたオン・ウェーハ(on-wafer)RFブロープを用いて、完成されたマイクロ波モノリシック集積回路を評価することである。

【0003】マイクロ波モノリシック集積回路ウェーハの潜在性能を評価するのに2つの方法が普通用いられる。DC試験は一連の製造工程での初期に(本発明がRF試験を実施するのと同じ時点で)用いられ得る。しかし、DC試験とRF試験との相関は良好とはいえないので、DC試験のみに基づいて「RFの良好なウェーハ」を排除し「RFの不良なウェーハ」を処理するリスクは大きい。代替りの方法はウェーハ処理の終了後に試験を実施することである。この方法の問題点は、初期の試験の実施が可能であって「RF不良」と判明できたウェーハに有意の値が付加されることである。「RF不良」であることが分かっている(又は分かっていない)ウェーハに支出された資金は、ウェーハのコストを処理の完了後に回収することはできないために無駄になってしまう。

【0004】一連の処理工程での初期に潜在性能を評価する現在のアプローチは、トランジスタの電流-電圧特性のDC測定を行うためのものであった。不幸なことに、こうしたDC測定と完成された回路のRF性能との間の相関は、技術発展の現段階では貧弱である。提案されている代替りの方法は、予定の動作周波数よりもずっと低い周波数で(例えば、10GHzで動作する筈の回路について2GHzで)回路性能を測定することである。この場合も、低周波試験の結果と高周波性能との間

の相関は望むほど良くはない。

【0005】

【発明が解決しようとする課題】したがって、本発明は、ウェーハの潜在性能を製造工程において即座に測定し、「RF不良」なウェーハが処理され完成されるのを防止することを目的とする。

【0006】

【課題を解決するための手段】マイクロ波モノリシック集積回路を処理して完成してからRF性能を試験するのに固有の無駄を排するために、本発明においては、RF性能測定はマイクロ波モノリシック集積回路を構成する基礎トランジスタに基づいて実施される。当該周波数及び電力レベルでの潜在性能を評価するのに必要な回路は、イン・プロセス（in-process）試験に対して使用されるオン・ウェーハRFプローブ上に整合素子を配することにより与えられる。

【0007】本発明は、高価な一連の工程が終了しないうちにGaAsマイクロ波モノリシック集積回路のRF潜在性能を工程の初期の段階で測定する。本発明の要点は、ウェーハ試験位置に形成されたトランジスタを、RF整合回路を一体に備えるRFプローブにより測定することである。したがって、ウェーハ上の集積回路の潜在性能は製造工程における可能な最も早い時期に、特に、例えばショットキー・バリヤ・ゲートが蒸着される時点にアクセスすることができる。

【0008】このイン・プロセス測定手法は任意のマイクロ波モノリシック集積回路に適用できる。イン・プロセス測定の結果とポスト・プロセス（post-process）測定の結果との相関が確立されると、本発明の方法はウェーハをルーチンワークとして選別し、「RF不良」のウェーハの処理コストのほぼ2/3を節約することができる。

【0009】本発明は、要するに、以下のステップを含むGaAsマイクロ波モノリシック集積回路の製造試験方法である。まず、複数の試験トランジスタを含む複数のGaAsマイクロ波モノリシック集積回路を能動層、相互接続層、コンタクト及びゲートが形成されるように製造する。この集積回路とトランジスタは使用可能なトランジスタを構成する。試験トランジスタに対してDC及びRF試験を実行して使用可能なトランジスタの動作可能性を決定する。試験トランジスタが動作可能であり適切に機能を奏するならば、複数のGaAsマイクロ波モノリシック集積回路の製造を完了する。

【0010】本発明の種々の特徴及び利点は、添付の図面を参照して以下の詳細な説明から容易に理解できよう。

【0011】

【実施例】図1は、本発明の原理にしたがって、マイクロ波モノリシック集積回路20aを組み込んだ典型的なGaAsウェーハ10と、RFオン・ウェーハ・プローブ

ブ処理のためにトランジスタ11を備える試験位置20bとを示している。特に、ウェーハ10は2種の集積回路領域を有するものとして示されている。白の領域はマイクロ波モノリシック集積回路20aを表している。黒い領域はプロセス制御モニタの場所を示しており、試験位置20bを含み、多くの素子の中の1個の素子として図2に示すようなコプレーナ・トランジスタ11を含む。

【0012】図2は、試験位置20b又はレティクルに置かれたGaAsマイクロ波モノリシック集積回路パターンの一部であり、GaAsモノリシック集積回路ウェーハ10を横切って周期的に反復されるコプレーナ・トランジスタを示している。プローブ12、13は、本発明の原理にしたがうオン・ウェーハ試験を行うように設計され、ウェーハ10の上側にある。図2は試験位置20bの上面図であって、トランジスタ11の上面を示しており、プローブ12、13はトランジスタ11の面に重なり合っている。プローブの接触パッド17は一連のDC及びRF測定の期間にはトランジスタ11の対応する領域と接触するよう配置される。図3はRFプローブ12、13の詳細を示しており、本発明の原理にしたがうプローブ整合オン・ウェーハ試験（probe-matched, on-wafer testing）に適したインピーダンス整合回路23、24が示されている。特に、図3はプローブ12、13の下面図であり、インピーダンス整合回路23、24の詳細が示されている。

【0013】特に図2を参照すると、コプレーナ・トランジスタ11は典型的にはショットキー・バリヤ電界効果トランジスタ11であり、例えばソース14、ドレイン15、ゲート16を有する。それぞれ3つの接触パッド17を持つRFプローブ12、13がトランジスタ11に重なり合っている。接触パッド17はプローブ12、13の下面にあるので点線で示されている。それぞれの接触パッドはソース14、ドレイン15、ゲート16と接触するような大きさで間隔を置いて配置される。図3を参照すると、RFプローブ12、13のそれぞれの最外側の接触パッド17は導体21、22を介してRF及びDC接地を行い、それぞれの中央の接触パッド17はプローブ12、13の下面に配置された入出力インピーダンス整合回路23、24を介してRF信号及びDCバイアスの接続を行う。

【0014】図2のコプレーナ・トランジスタ11は、本発明の原理にしたがうプローブ整合オン・ウェーハ試験のために設計されている。このトランジスタ11は、図4を参照して詳述するように、ショットキー・ゲート又は最初の接続金属の蒸着の後にRF性能が評価される。この試験は製造工程において従来可能であったよりもずっと早期に実施されるので、RF性能基準に合致しないウェーハ10の処理コストを節約することができ

る。

【0015】図3のRFブローブ12、13には、本発明の原理に従うブローブ整合オン・ウェーハ試験に適した入出力インピーダンス整合回路23、24が組み込まれている。RFブローブ12、13は例えばオレゴン州ベアパートのカスケード・マイクロテック社の製造によるもので、当該周波数帯域及び信号レベルに適したインピーダンス整合回路23、24を備えるようになされており、共面型の伝送線インピーダンス整合ブローブ構造25を用いて印刷されている。インピーダンス整合ブローブ構造25はコプレーナ・トランジスタ11と典型的には同軸マイクロ波端子を採用する50オーム測定装置26との間のマイクロ波遷移部を形成する。

【0016】本明細書で使用するGaAsマイクロ波モノリシック集積回路20aという用語は、通常はマイクロ波機能であると考えられるものを実行する、砒化ケイ素又は砒化ガリウム等の関係の合成半導体材料で製造された任意の回路を意味する。同様に、本発明の原理により評価されるマイクロ波機能を記述するショットキー・バリヤ電界効果トランジスタ11という用語は、電界効果トランジスタ、バイポーラ・トランジスタ、金属酸化膜電界効果トランジスタ、又は、PINダイオード、IMPATTダイオード又はGunnダイオード等の2端子マイクロ波デバイスを含む任意の能動型又は受動型のマイクロ波機能を意味する。更に、本明細書で言及する共面型の伝送線構造という用語は、共面型伝送線やマイクロストリップ伝送線等を含む任意の形式のRF伝送線を表す。

【0017】図4は、GaAsマイクロ波モノリシック集積回路ウェーハ10を試験する際に使用されるようになされた、本発明の原理にしたがう一連の工程30又は方法30を表す。また、図4の方法30は集積回路ウェーハ10が試験されるテストポイントを識別する。こうしたGaAsマイクロ波モノリシック集積回路ウェーハ10は、図2及び図3を参照して説明したトランジスタ11とインピーダンス整合ブローブ12、13により試験される。本方法30で使用するようになされた典型的なインピーダンス整合ブローブ12、13はオレゴン州ベアパートのカスケード・マイクロテック社により製造されている。

【0018】上記のカスケード・マイクロテック社のブローブ12、13は、測定装置とウェーハ形式のRFマイクロ波モノリシック回路との間のインターフェースのために使用されるブローブを代表するものである。しかし、同じ目的を達成し上記の同じインピーダンス整合機能を実施するようになされた膜ブローブのような他のブローブも、本発明の教示にしたがって採用してもよい。したがって、こうした膜ブローブは上記のカスケード・マイクロテック社のブローブによって代表される。

【0019】従来、GaAsマイクロ波モノリシック集

積回路の生産歩どまりは、製造工程の未成熟に起因して極めて低い。生産工程では、GaAsマイクロ波モノリシック集積回路20aでの能動装置を形成するトランジスタ11は、生産工程の比較的初期に（全工程の30〜40%が終了した段階で）完成される。しかし、この集積回路20aを多段増幅器として試験するのに必要なRF整合回路は生産工程の最終段階になって完成される。したがって、開発・生産コストの大きな節約は、一連の工程の初期に回路20aの潜在性能を決定することによって、本発明の方法30にしたがって達成される。

【0020】本発明は、回路20aの個々のトランジスタ11の試験をその製造直後に行うことにより、従来技術の課題を回避する。回路20aは、ショットキー・バリヤ・ゲート16が蒸着されると直ちに機能トランジスタとして試験可能である。つまり、本発明は製造工程の可能な初期の時点で回路20aを試験するための手段を提供する。

【0021】図4は、本発明の原理にしたがうGaAsマイクロ波モノリシック集積回路の一連の製造工程30を示している。この一連の工程30は採用し得る多くの工程のうちの1つであり、本発明を組み入れて集積回路試験を提供するものである。また、図4は一連の製造工程30の期間の典型的なテストポイントをも示している。本発明により与えられるテストポイントで試験する方が、従来のような最終段階での試験よりも有利であることは明白である。通常の製造工程を若干修正する必要がある、それについて以下説明する。

【0022】方法30は以下のとおりである。第1のステップ31において、例えばイオン注入により基板に能動層を形成する。次のステップ32において、例えば注入又はメタ・エッチングにより能動デバイス（トランジスタ11）を絶縁する。その後、ステップ33においてオーム接触を蒸着する。次いで、ステップ34においてショットキー・ゲートを蒸着し、トランジスタ11が動作可能になる。ステップ35において第1レベルの相互接続部を蒸着し、ステップ36において本発明の原理にしたがう予備的なDC及びRF選別を実施してトランジスタ性能を決定する。ステップ37において誘電体絶縁とバイア・エッチングとを実施する。

【0023】次に、ステップ41において第2レベルの相互接続部を蒸着する。次いでステップ42においてエア・ブリッジを形成する。この時点でウェーハの表面処理が完了し、ステップ42において表面DC試験が実施される。その後、ステップ43においてウェーハ・スリニング（wafer thinning）を行う。ステップ44において背面のバイア・エッチングを実施し、ステップ45において背面メタライゼーションを蒸着し、背面処理を完了する。また、ステップ45において機能回路のDC及びRF試験を行う。

【0024】本発明によると、オーム接触又はゲート・

10

20

30

40

50

レベルの金属蒸着のいずれかの時点即ちステップ33又はステップ34のいずれかにおいて、別のパッドを追加し、ステップ51に示すように、オン・ウェーハ・プローブ12、13との間の共面型のライン遷移部を設ける。つまり、ウェーハ10上のトランジスタの性能を表す個々のトランジスタ11はRFプローブ処理のために利用可能である。トランジスタ11はウェーハ10上に形成された試験レティクル20bから利用可能である。個々のトランジスタ11は特定の動作モード（例えば、低雑音又は大信号で大電力）において特定の周波数で試験される。特定のモードでの試験のための手段は、プローブ12、13上に設けられるオン・ウェーハ整合回路23、24によって提供される。

【0025】試験されるべきトランジスタ11は図2に示され、整合回路23、24が形成されたプローブは図3に示されている。整合回路23、24は、従来の方法で製造されたオン・ウェーハ印刷整合回路により取得される環境に近似したRF信号環境を提供する。このRF環境は最終的な形態における集積回路20aから予測される実際の動作条件と類似しているので、本発明により達成されるトランジスタ11の早期試験は、マイクロ波モノリシック集積回路20aに用いられているデバイスの潜在性能を良好に指示する。整合回路23、24は適宜の周波数帯域での適切なインピーダンス・レベルを与え、共面型のRFプローブ12、13上に印刷される。これらのプローブ12、13は通常の50オーム測定装置26とトランジスタ11との間のインピーダンス変換を行う。

【0026】本発明のプローブ整合オン・ウェーハ試験を要約すると、集積回路ウェーハ10は通常の方法で処理され、その上にモノリシック集積回路20a、20bが形成される。ゲートの蒸着又は第1相互接続金属の蒸着の後に、試験位置20bに蒸着されたトランジスタ11のRF性能が評価される。これは、トランジスタ11の表面上にプローブ12、13を置き、従来の方法でトランジスタ11を試験することにより達成される。トランジスタ11が所望の動作を行えば、ウェーハ製造工程は進行し、ウェーハ10を処理して完成させる。

【0027】予め整合の取れたプローブ17を使ってウェーハ10上のトランジスタ11を試験することにより、ウェーハ10上のトランジスタ11が期待どおりの動作を行うかどうかを良好に指示することができる。これは、GaAsマイクロ波モノリシック集積回路20aの早期評価という極めて費用対効果の良い方法30である。

【0028】以上、回路製造工程中に回路の潜在性能を決定する新規で改良されたマイクロ波モノリシック集積回路の製造・試験方法及び試験回路を説明した。上記の実施例は本発明の原理を適用した多くの実施例のうちの単なる例示であり、当業者は特許請求の範囲から逸脱することなく多くの他の配置を想到することができることは明白である。

【図面の簡単な説明】

【図1】マイクロ波モノリシック集積回路と本発明の原理にしたがうRFプローブ処理のためのトランジスタを含む試験位置とを組み込んだ典型的なGaAsウェーハを示す図である。

【図2】本発明の原理にしたがうプローブ整合オン・ウェーハ試験のために設計されたコプレーナ・トランジスタとプローブとを示す図2である。

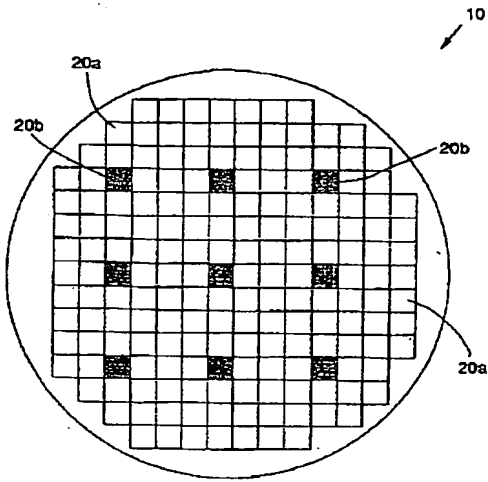
【図3】本発明の原理にしたがうプローブ整合オン・ウェーハ試験に適したインピーダンス整合回路を有するRFプローブを示す図である。

【図4】本発明の原理にしたがう典型的なGaAsマイクロ波モノリシック集積回路の一連の製造工程を示す図である。

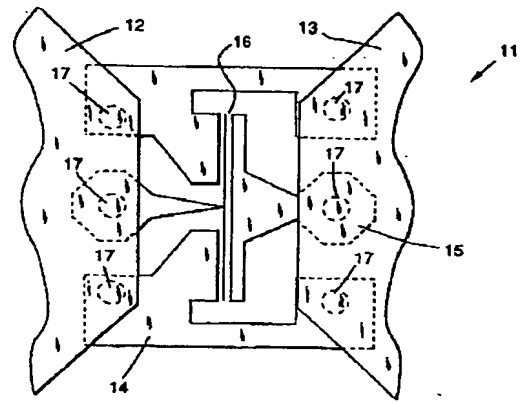
【符号の説明】

10：ウェーハ 11：トランジスタ 12、13：プローブ
14：ソース 15：ドレイン 16：ゲート
17：接触パッド
20a：集積回路 20b：試験位置 21、22：導体
23、24：整合回路 25：インピーダンス整合プローブ構造
26：測定装置

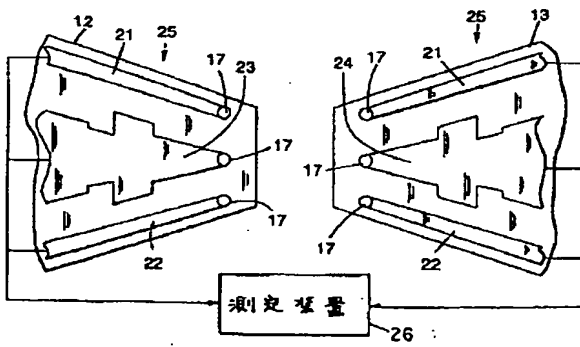
【図1】



【図2】



【図3】



【図4】

